

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MANUFACTURE OF SEMICONDUCTOR DEVICE

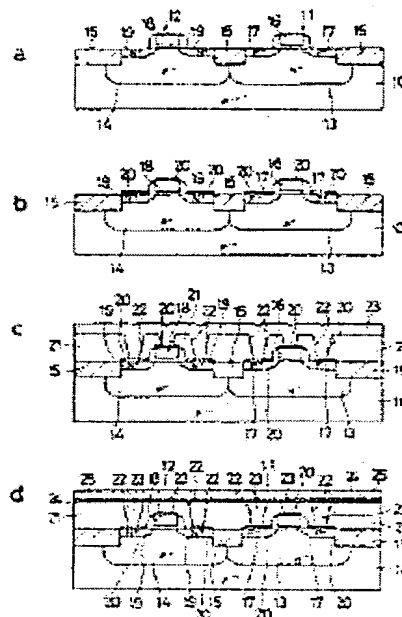
Patent number: JP1072543 Sho 64-072543
Publication date: 1989-03-17
Inventor: OTSU KOJI; others: 01
Applicant: SONY CORP
Classification:
- international: H01L21/90; H01L27/08; H01L29/46; H01L29/78
- european:
Application number: JP19870228794 19870912
Priority number(s):

[View INPADOC patent family](#)

Abstract of JP1072543

PURPOSE:To allow reliable connections between a diffusion layer and a wiring layer even when they are miniaturized by means such as forming an impurity diffusion barrier layer having conductivity onto the diffusion layer of a first conductive type MIS transistor, and forming an electrode extracting layer of a second conductive type which is connected to such barrier layer.

CONSTITUTION:First and second conductive type MIS transistors 11 and 12 are formed on a substrate, and an impurity diffusion barrier layer 20 having conductivity is formed on a diffusion layer 17 at least of said first conductive type MIS transistor 11. Then wiring layers 24 and 25 which electrically connect said first and second conductive type MIS transistors 11 and 12 are formed by interposing a second conductive electrode extracting layer 23 which connects at least to said impurity diffusion barrier layer 20 therebetween. For example, the impurity diffusion barrier layer 20 consisting of a titanium silicide layer and a titanium nitride layer is formed on each of gate electrodes 16 and 18, and diffusion layers 17 and 19 of the transistors 11 and 12, and then the electrode extracting layer is formed by a phosphorus-containing polycrystal silicon layer 23.



⑫ 公開特許公報(A)

昭64-72543

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)3月17日

H 01 L 21/90
27/08
29/46
29/783 2 1
3 0 1C-6708-5F
F-7735-5F
T-7638-5F
P-8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭62-228794

⑯ 出 願 昭62(1987)9月12日

⑰ 発 明 者 大 津 孝 二 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑱ 発 明 者 落 合 昭 彦 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑲ 出 願 人 ソ ニ ー 株 式 会 社 東京都品川区北品川6丁目7番35号
 ⑳ 代 理 人 弁 理 士 小 池 晃 外 2 名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

第1導電型および第2導電型のMISトランジスタを基板上に形成し、

少なくとも上記第1導電型のMISトランジスタの拡散層上に導電性を有した不純物拡散バリア層を形成し、

少なくとも上記不純物拡散バリア層と接続する第2導電型の電極取り出し層を形成し、

上記電極取り出し層を介して上記第1導電型および第2導電型のMISトランジスタを電気的に接続する配線層を形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は基板上に第1導電型および第2導電型のMISトランジスタを形成する半導体装置の製造方法に関し、特に拡散層と配線層の接続に特徴を有する半導体装置の製造方法に関する。

(発明の概要)

本発明は、基板上に第1導電型および第2導電型のMISトランジスタを形成する半導体装置の製造方法において、少なくとも上記第1導電型のMISトランジスタの拡散層上に導電性を有した不純物拡散バリア層を形成し、少なくとも上記不純物拡散バリア層と接続する第2導電型の電極取り出し層を形成して、MISトランジスタ相互の接続を図ることにより、微細化を図った場合であっても確実な拡散層と配線層の接続を行う方法である。

(従来技術)

一般に、同一基板上にPMOSTランジスタとNMOSTランジスタの双方を形成したCMOS

デバイスが広く知られている。

ところで、MOSトランジスタのソース・ドレイン領域は、主に基板上の拡散層を用いて形成されており、上記CMOSデバイスにあっては、同一基板上にP型およびN型の拡散層が各不純物の導入により形成される。これら拡散層には、所定の形状の配線層がそれぞれ接続されており、その接続は所謂ビアホールを介して行われている。

このビアホールは、デバイスの高集積化に従ってそのアスペクト比が高くなる。そこで、配線層の接続を行うために、バイアスバック法や選択CVD法等によるAl（アルミニウム）層やW（タングステン）層を用いた電極取り出し層によるビアホール穴埋めが提案されている。

〔発明が解決しようとする問題点〕

しかしながら、デバイスの集積度を高めて行った場合には、ビアホールのアスペクト比が高くなり、特にAl層やW層の金属材料の電極取り出し層では十分にビアホールを充填することが困難と

導電型の電極取り出し層を形成し、上記電極取り出し層を介して上記第1導電型および第2導電型のMISTランジスタを電気的に接続する配線層を形成することを特徴とする半導体装置の製造方法により上述の問題点を解決する。

なお、上記電極取り出し層は、上記配線層の一部として形成されるものであっても良い。

〔作用〕

上記導電性を有した不純物拡散バリア層は、少なくとも上記第2導電型の電極取り出し層と上記第1導電型の拡散層との間に形成されるため、それらの接続部でPN接合が生ずることがない。従って、多結晶シリコン層等の微細加工が可能な材料で電極取り出し層を形成し、ビアホールの穴埋めができる。

〔実施例〕

本発明の好適な実施例を図面を参照しながら説明する。

なる。

これに対して、微細加工が容易でない金属材料層を用いず、容易に加工できる多結晶シリコン層等の材料をビアホールの穴埋めに用いることも提案されている。しかし、上記CMOSデバイスでは、接続すべき導電型の拡散層がP型とN型の両方であり、一方の導電型の多結晶シリコン層で穴埋めを行ったときに、他方の導電型の拡散層との接続部分でPN接合が生ずることになる。

そこで、本発明は上述の問題点に鑑み、微細化を図った場合であっても確実な拡散層と配線層の接続を行う半導体装置の製造方法の提供を目的とする。

〔問題点を解決するための手段〕

本発明は、第1導電型および第2導電型のMISTランジスタを基板上に形成し、少なくとも上記第1導電型のMISTランジスタの拡散層上に導電性を有した不純物拡散バリア層を形成し、少なくとも上記不純物拡散バリア層と接続する第2

本実施例は、PMOSTランジスタとNMOSTランジスタを同一基板上に形成する半導体装置の製造方法であり、微細化を図った場合であっても確実な拡散層と配線層の接続を行う製造方法である。以下、本実施例を第1図a～第1図dを参照しながら説明する。

(a) まず、第1図aに示すように、フィールド酸化膜15が形成されたP⁺型のシリコン基板（若しくはウェル領域）10上に、第1の導電型のMISTランジスタであるPMOSTランジスタ11と、第2の導電型のMISTランジスタであるNMOSTランジスタ12とを通常の製造方法に従って形成する。上記PMOSTランジスタ11は、上記シリコン基板10のN⁺ウェル領域13に形成され、ゲート電極16と、第1導電型であるP⁺型の拡散層17、17が形成される。また、上記NMOSTランジスタ12は、上記半導体基板10のP⁺ウェル領域14に形成され、ゲート電極18と、第2導電型であるN⁺型の拡散層19、19が形成される。そして、上記各ゲート電

極16、18や各拡散層17、19の表面を露出させ、これら各領域においてシリコン面を露出させる。

(d) 次に、チタン層を蒸着法等により被着形成する。そして、RTA（ラビッド・サーマル・アニール）法等の手段によってシリサイド化処理を行い、上記シリコン面が露出した上記各ゲート電極16、18や各拡散層17、19の表面にチタンシリサイド層を形成させる。続いて、安定化のためにプラズマ窒化処理を行い、上記チタンシリサイド層上に窒化チタン層を積層し、第1図bに示すように、これらチタンシリサイド層と窒化チタン層で構成される不純物拡散バリア層20を形成する。

ここで、上記不純物拡散バリア層20は、上記各拡散層17、19と後述する多結晶シリコン層との接続を確実にを行うために形成されるものであり、特に拡散層と多結晶シリコン層の間の導電型が異なる時にPN接合を生じさせないためのものである。また、このような不純物拡散バリア層20

の形成から接触抵抗の低減等も実現し、上記シリサイド化は上記シリコン露出面だけで行われる。上記不純物拡散バリア層20としては、上述のチタンを用いたものに限定されず、他のタングステンやモリブデン、白金、タンタル等の高融点金属を用いても良い。また、シリサイド層上に高融点金属層を積層することでもできる。

また、本実施例では、露出した2つの導電型の各拡散層17、19に各々上記不純物拡散バリア層20を形成しているが、後述する多結晶シリコン層の導電型と同じ導電型の拡散層には上記不純物拡散バリア層20を設けずとも良い。すなわち、電極取り出し層としての多結晶シリコン層がP型であるときは、N⁺型の拡散層との間だけに不純物拡散バリア層20を設ける様にしても良く、電極取り出し層としての多結晶シリコン層がN型であるときは、P⁺型の拡散層との間だけに不純物拡散バリア層20を設ける様にしても良い。

(e) 次に、第1図cに示すように、全面にBSG、PSG、A-SG等のリフロー膜21を形成し、

所定の部分で電気的な接続を図るための各々ビアホール22をそのリフロー膜21に形成する。このビアホール22の底部には、上記不純物拡散バリア層20が露む。

続いて、ステップカバレッジの優れた低圧CVD法を用いてリンを含有する多結晶シリコン層23を第2導電型の電極取り出し層として被着形成する。すると、上記ビアホール22は充填され、特に高集積化を図り、そのアスペクト比が大きくなった場合にも金属材料に比較して十分にビアホール22は充填される。

ここで、リンを含有する多結晶シリコン層23はN型の導電型であり、直接P⁺型の拡散層17等と接続した場合にはPN接合が生ずるが、上記不純物拡散バリア層20により間接的に接続するためPN接合は生じない。従って、微細化を実現すると共に、PMOSTランジスタ11とNMOSTランジスタ12を同時に接続させることが可能となる。

なお、多結晶シリコン層23に含有される不純

物はリンに限定されず、他の不純物であっても良い。また、P型若しくはN型の拡散層のみに上記不純物拡散バリア層20を形成した場合は、その反対の導電型の多結晶シリコン層を形成することが必要である。

(f) 次に、第1図dに示すように、上記各ビアホール22を充填した多結晶シリコン層22を例えばRIE（反応性イオンエッチング）法によりエッチバックし、平坦化させる。そして、密着性の向上や低抵抗化のために窒化チタン層24を形成した後、全面にA₂（シリコンを含有する。）配線層25を形成する。そして、図示を省略するが、上記A₂配線層25をパターニングしてPMOSTランジスタ11とNMOSTランジスタ12の電気的な接続を行う。

なお、上記窒化チタン層24はなくとも良い。また、窒化チタン層24ではなく、白金、モリブデン、タングステン、チタン等の材料を蒸着し、その後シリサイド化するようにしても良い。また、配線層もA₂配線層に限定されず、他の材料を用

いることもでき、さらに配線層は、上記ビアホール22に充填した電極取り出し層としての多結晶シリコン層23と同じ材料で同時に形成される如きものであっても良い。

上述の工程より行われる本実施例の半導体装置の製造方法は、上記多結晶シリコン層23は異なる導電型の拡散層との間で不純物拡散バリア層を介して接続しており、PN接合が形成される問題も生じない。そして、カバレッジの良い多結晶シリコン層23を用いてビアホール22を充填することができるため、素子の高集積化を図った場合でも十分に確実な接続を図ることができる。

また、不純物拡散バリア層20をシリサイド化するときには、シリコン露出面のみに形成され、酸化膜上には形成されない。さらに不純物拡散バリア層20の形成によって、接触抵抗を低く抑えることができる。また、上記不純物拡散バリア層20の構造をチタンシリサイド層と窒化チタン層が積層される構造とした時では、窒化チタン層によってバリア効果が向上する。

4. 図面の簡単な説明

第1図a～第1図dは本発明の半導体装置の製造方法をその工程に従って説明するためのそれぞれ工程断面図である。

- 10…シリコン基板
- 11…PMOSTランジスタ transistor
- 12…NMOSTランジスタ transistor
- 17…P⁺型の拡散層 diffusion layer
- 19…N⁺型の拡散層 diffusion layer
- 20…不純物拡散バリア層 impurity diffusion barrier layer
- 22…ビアホール via hole
- 23…多結晶シリコン層 polycrystalline silicon layer

特許出願人
代理人弁理士
同
同

ソニー株式会社
小池 晃
田村 榮一
佐藤 勝

なお、上述の実施例においては、双方の導電型の拡散層17、19のそれぞれに不純物拡散バリア層20を形成したが、これに限定されず前述したように一方の導電型(第1導電型)の拡散層にのみ不純物拡散バリア層を形成し、その反対の導電型(第2導電型)の電極取り出し層を設けるようにすることもできる。

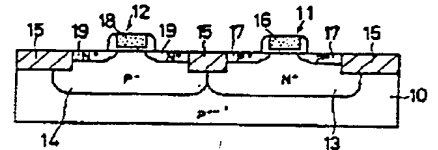
また、本発明の半導体装置の製造方法は、その要旨を逸脱しない範囲での変更が可能である。

(発明の効果)

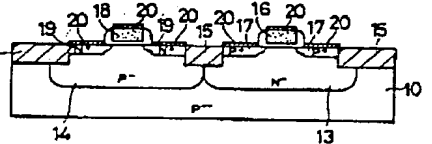
本発明の半導体装置の製造方法は、電極取り出し層は異なる導電型の拡散層との間で不純物拡散バリア層を介して接続しており、第1導電型および第2導電型のMISTランジスタが形成される半導体装置においてPN接合が形成される問題も生じない。そして、カバレッジの良い電極取り出し層を用いることができ、素子の高集積化を図った場合でも拡散層と配線層の確実な接続を図ることができる。

第1図a

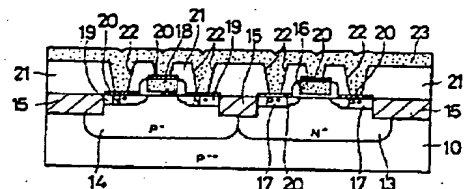
10…シリコン基板
11…PMOSTランジスタ
12…NMOSTランジスタ



第1図b

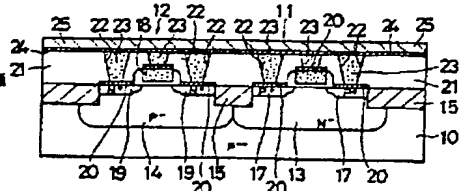


第1図c



第1図d

20…不純物拡散バリア層
22…ビアホール
23…多結晶シリコン層



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成7年(1995)3月17日

【公開番号】特開平1-72543
 【公開日】平成1年(1989)3月17日
 【年通号数】公開特許公報1-726
 【出願番号】特願昭62-228794
 【国際特許分類第6版】

H01L 21/8238
 21/28 301 T 7376-4M
 21/768
 27/092

【F I】

H01L 27/08 321 F 8934-4M
 21/90 D 8826-4M

手続補正書

平成8年8月24日

特許庁長官 藤生 敏 殿

1. 事件の表示
昭和62年特許願第228794号
2. 発明の名称
半導体装置の製造方法
3. 補正をする者
事件との関係 特許出願人
住所 東京都品川区北品川8丁目7番35号
名称 (218) ソニー株式会社
代表者 大賀 典雄
4. 代理人
住所 〒105 東京都港区虎ノ門二丁目8番4号
第11森ビル 5F 03(3568)8286(代)
氏名 (8773) 弁護士 小 池 晃(他2名)
5. 補正命令の日付
自 発
6. 補正の対象
明細書の「発明の詳細な説明」の欄

5/

7. 補正の内容

- (1)明細書第9頁第5行目から同頁第6行目にかけて「優れた低圧CVD法を用いて」とある記載を「優れた減圧CVD法を用いて」と補正する。
- (2)明細書第10頁第2行目から同頁第5行目にかけて「また、P型若しくは・・・が必要である。」とある記載を削除する。
- (3)明細書第10頁第10行目、同頁第18行目及び同頁第17行目にそれぞれ「窒化チタン層24」とある記載を「TiN/Ti層24」とそれぞれ補正する。

以 上